

## CIRCUIT SUBSTRATE

**Publication number:** WO2005074338 (A1)

**Publication date:** 2005-08-11

**Inventor(s):** KANETAKA YOSHIFUMI [JP]; ISHIZUKA NAOMI [JP]

**Applicant(s):** NIPPON ELECTRIC CO [JP]; KANETAKA YOSHIFUMI [JP]; ISHIZUKA NAOMI [JP]

**Classification:**


- **international:** *H05K1/11; H05K3/34; H05K1/11; H05K3/34; (IPC1-7): H05K3/34; H05K1/18; H05K3/00*

- **European:** H05K1/11D2; H05K3/34D






**Application number:** WO2005JP00049 20050106

**Priority number(s):** JP20040020824 20040129

**Also published as:**

 US2008190657 (A1)

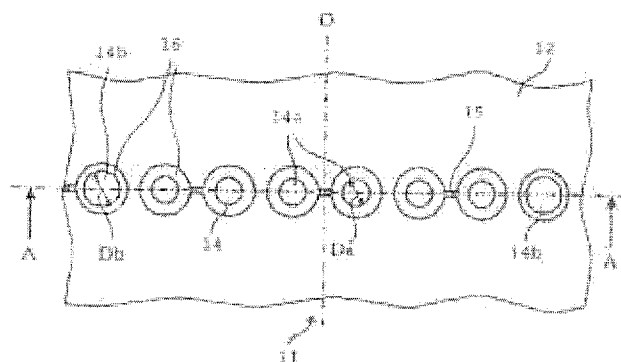
**Cited documents:**

 JP11219762 (A)  
 JP58187174U (U)  
 JP63097264U (U)  
 JP4369893 (A)  
 JP10145022 (A)

more >>

### Abstract of **WO 2005074338 (A1)**

A circuit substrate includes a plurality of through holes (14, 44) into which a plurality of leads (18) as single electronic parts are inserted and soldered. Among these through holes (14, 44), the volume of the through holes (14b, 24b, 34b, 44b, 54b, 64b) into which the outermost end lead (18) of the electronic part is inserted is set greater than the volume of the through holes (14a, 44a) into which the lead located at the nearest position to the center of the electronic part is inserted.



Data supplied from the **esp@cenet** database — Worldwide



(43) 国際公開日  
2005 年 8 月 11 日 (11.08.2005)

PCT

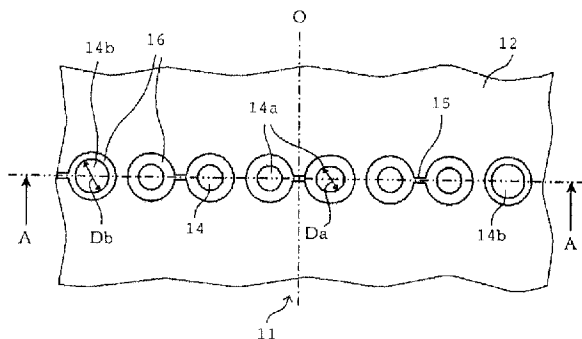
(10) 国際公開番号  
**WO 2005/074338 A1**

- |  |                               |   |
|--|-------------------------------|---|
| (51) 国際特許分類:   | H05K 3/34, 3/00, 1/18         | (74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂1丁目9番20号第16興和ビル8階 Tokyo (JP).   |
| (21) 国際出願番号:   | PCT/JP2005/000049             | (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW. |
| (22) 国際出願日:  | 2005 年1 月6 日 (06.01.2005)     | (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW). ユーラシア (AM, AZ,  |
| (25) 国際出願の言語:  | 日本語                           |   |
| (26) 国際公開の言語:  | 日本語                           |   |
| (30) 優先権データ:<br>特願2004-020824  | 2004 年1 月29 日 (29.01.2004) JP |   |
| (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).             |                               |   |
| (72) 発明者; および  |                               |   |
| (75) 発明者/出願人 (米国についてのみ): 金高 善史 (KANE-TAKA, Yoshifumi) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 石塚 |                               |   |

[続葉有]

(54) Title: CIRCUIT SUBSTRATE

(54) 発明の名称: 回路基板



**(57) Abstract:** A circuit substrate includes a plurality of through holes (14, 44) into which a plurality of leads (18) as single electronic parts are inserted and soldered. Among these through holes (14, 44), the volume of the through holes (14b, 24b, 34b, 44b, 54b, 64b) into which the outermost end lead (18) of the electronic part is inserted is set greater than the volume of the through holes (14a, 44a) into which the lead located at the nearest position to the center of the electronic part is inserted.

(57) 要約:

回路基板は、単一の電子部品の複数のリード（１８）がそれぞれ挿入されはんだ付けされる複数のスルーホール（１４，４４）を有している。これらのスルーホール（１４，４４）のうち、電子部品の最外端のリード（１８）が挿入されるスルーホール（１４ｂ，２４ｂ，３４ｂ，４４ｂ，５４ｂ，６４ｂ）の容積が、電子部品の中心に最も近い位置のリードが挿入されるスルーホール（１４ａ，４４ａ）の容積より大きくなっている。



BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明 細 書

### 回路基板

### 技術分野

- [0001] 本発明は、回路基板に関し、特に、スルーホールを有し、このスルーホール内に挿入されてはんだ付けされるリードを備える挿入型の電子部品を無鉛はんだによつてはんだ付けし搭載するのに適した回路基板に関するものである。

### 背景技術

- [0002] 回路基板上には、多くのリードレス化された電子部品が表面実装される。一方、コネクタ、可変抵抗器などのいくつかの電子部品は、挿入型電子部品として、そのリードがスルーホールに挿入されはんだ付けされる。なお、本明細書において、スルーホールとは、プレーテッドスルーホールなどのように貫通孔の壁面が導電性膜によって被覆されているスルーホールを意味している。
- [0003] 図1Aは、従来の回路基板の、挿入型電子部品が実装される部分の構造を示す平面図であり、図1Bは、図1AのA-A線に沿った断面図である。
- [0004] 電子部品の実装に使用される回路基板は、通常、次のような工程を経て作製される。すなわち、まず、ガラス布基材に、エポキシ樹脂、ポリイミド樹脂などの樹脂をしみこませ半硬化させたプリプレグ、または紙基材にフェノール樹脂をしみこませ半硬化させたプリプレグと、このプリプレグ上に、銅箔を加圧加熱処理して貼り付けた銅張積層板を用意する。そして、この銅張積層板に貼り付けられた銅箔を、フォトエッチング法などを用いてパターンニングして、内層配線3となる銅箔パターンを有する所定数の配線基板を作製する。次いで、プリプレグとの密着性を向上させるために配線基板の銅箔表面に粗面化処理(黒化処理)を施す。その後、それらの配線基板を、配線基板が最外層となるようにプリプレグを介して積層し加圧加熱して一体化させ、内部に内層配線3を有する樹脂積層板2を作製する。
- [0005] 次いで、この樹脂積層板2に、スルーホール4となる貫通孔をドリル加工によって開口する。そして、内層配線3とスルーホール4との接続性をよくするために内層配線3の部分の樹脂をクリーニング(デスマヤ)する。その後、活性化処理、無電解めっき処

理、電解めっき処理を行って、貫通孔の壁面に導電性膜が形成されたスルーホール4を形成する。続いて、穴埋め法やテンティング法によってスルーホール4を保護した後、最外層の銅層のパターニングを行って、外層配線5を形成する。この際、同時に、スルーホール4の、基板表裏面における開口の周囲にランド6を形成する。スルーホール4、外層配線5、およびランド6をパターンめっき法により形成することもできる。

- [0006] 最後に、図示はしていないが、基板表裏面のはんだ付け部を除く領域にソルダーレジストを形成して、多層回路基板1の作製工程が完了する。
- [0007] 以上は内層配線3を有する多層回路基板1の製造工程であるが、両面銅張板を出発材料として、貫通孔形成工程以降の工程を同様に実行することによって、両面回路基板を形成することができる。
- [0008] 図1A, 1Bには、電子部品を実装した時の、その電子部品の筐体の中心線を符号Oで示す鎖線によって示している。なお、図1A, 1Bに示す例において、電子部品は、一列に並んだリードを有する長尺な平面形状を有するものであり、中心線Oは、この電子部品の長手方向の中心線である。従来の回路基板のスルーホール4の形状や大きさは、電子部品の筐体の中心に最も近いリードが挿入される中央部スルーホール4aでも、電子部品の筐体の最外端に位置するリードが挿入される最外端スルーホール4bでも、全て同一である。
- [0009] このように作製された多層回路基板1上に電子部品をはんだ付けする工程では、一般に、チップ部品やQFPになどの表面実装型部品を実装するリフロー工程が行われた後、挿入型の電子部品を実装するフロー工程が行われる。
- [0010] 電子部品をはんだ付けする場合のはんだ材料には、錫鉛系はんだ、特にSnとPbの質量比率がSn:Pb=60〜63%:40〜37%の、共晶組成に近い錫鉛共晶はんだが長い間用いられてきた。錫鉛共晶はんだは延性に富む材料であるため、はんだ付け工程時などにおいて、多層回路基板1と電子部品の筐体などとの熱膨張・熱収縮の差によって発生する応力を錫鉛共晶はんだに吸収させ、多層回路基板1や電子部品にかかる応力を緩和することが可能であった。
- [0011] しかしながら、近年、環境問題への意識の高まりによって、鉛による環境汚染が問題となり、鉛を含まない無鉛はんだへの転換が急速に進んでいる。この無鉛はんだ

は、錫を主成分とし、それに加えて、銀、銅、亜鉛、ビスマス、インジウム、アンチモン、ニッケル、ゲルマニウムなどから構成されており、従来の錫鉛共晶はんだ(典型的にはSn63%(重量比率)、残りはPb)と比べて、金属の引張り強度、クリープ強度が強く、また延性が小さいという特性を持っている。また、無鉛はんだの溶融温度は、錫鉛共晶はんだが183℃であるのに比べ、190℃〜230℃と高くなっている。そのため、無鉛はんだを用いた場合、はんだ付け工程時などの多層回路基板と電子部品の筐体との熱膨張・熱収縮の差によって発生する応力が大きくなり、かつ、はんだによる応力緩和効果が小さくなるため、回路基板にかかる応力が大きくなる。このために、特に、電子部品の最外端に位置するスルーホール部において、回路基板が破壊される現象が発生する率が大きくなる。すなわち、このような現象は、従来の錫鉛共晶はんだを用いた場合でも発生する場合があったが、無鉛はんだへ転換したことで、この現象がより顕著に発生するようになった。

[0012] このような回路基板の破壊が発生する現象について、図2、図3A〜3Cを参照してより具体的に説明する。図2は、図1A、1Bに示す従来の多層回路基板1に、無鉛はんだを用いて電子部品をはんだ付けした状態を示す断面図である。また、図3A〜3Cは、図2の最外端スルーホール4bの部分を拡大して示した断面図である。なお、これらの断面図は、FR-4を基材とする回路基板に、ポリアミド製の筐体を有し、8ピン1列のコネクタ、すなわちリードが設けられた電子部品を、無鉛はんだ(Sn-3.0Ag-0.5Cu)を用いてはんだ付けした場合の断面写真を基に作図した図面である。

[0013] 図2に示されるように、電子部品の筐体7から延びる各リード8は、多層回路基板1の各スルーホール4に挿入され、はんだフィレット9によって、スルーホール4の内壁面の導電性膜およびランド6に電氣的・機械的に結合される。この際、中央部スルーホール4aに挿入されたリード8は、その中心が中央部スルーホール4aの中心とほぼ一致し、多層回路基板1に対してほとんど垂直に延びた状態ではんだ付けされている。一方、最外端スルーホール4bに挿入されたリード8は、その先端が、最外端スルーホール4bの中心から、実装時の電子部品の筐体7の中心線O側と逆方向(外側方向)にずれた位置にあり、また、リード8の根元側(図の上方)に向かって、電子部品

の筐体7の中心線Oに向かう方向に傾いた状態ではんだ付けされている。

- [0014] このように実装されるのは、電子部品の筐体7と多層回路基板1との材質の違いによって熱膨張係数に差があり、特に、図に示す例では、電子部品の筐体7の熱膨張係数が多層回路基板1の熱膨張係数よりも大きいためである。はんだ付け工程を実行する前は、最外端スルーホール4bにおいても、その中心とリード8の中心はほぼ一致している。しかし、はんだ付け工程時には、電子部品の筐体7が多層回路基板1よりも大きく熱膨張し、それによって、電子部品の筐体7と多層回路基板1の相対位置がずれる。このずれは、電子部品の筐体7の中心線Oから離れた箇所ほど大きくなる。このため、最外端のリード8は、その中心が、最外端スルーホール4bの中心から、電子部品実装時の筐体7の中心へ向かう方向と反対の方向にかなりずれた位置にはんだ付けされる。そして、はんだ付け工程後、温度が下がるにつれ、電子部品の筐体7は多層回路基板1よりも大きく熱収縮するため、最外端のリード8は、筐体7によって筐体7の中心側へ引っ張られ、その結果、図の上方に向かって、筐体7の中心線Oの方向に傾けられた状態となる。
- [0015] 図3Aに示されるように、最外端のリード8は、最外端スルーホール4bの中心から電子部品実装時の筐体部7の中心方向と反対方向にずれた位置においてはんだ付けされるため、スルーホール4とリード8の間の、電子部品の筐体の中心方向と逆方向の領域(A部:図中斜線の付された領域)におけるはんだの量が少なくなる。そして、はんだ付け工程後の温度降下によって、リード8が図の上方に向かって筐体7の中心方向に傾けられるが、この際、このようにA部におけるはんだ量が少なく、かつ無鉛はんだは錫鉛共晶はんだに比べて、はんだ自身の応力緩和能力が低いいため、リード8が傾けられることによって発生する応力を無鉛はんだが吸収し緩和する効果は著しく小さい。このため、最外端スルーホール4bの、電子部品実装時の筐体中心と逆方向の部分におけるコーナ部Bや内壁面Cには大きな応力がかかることとなる。そのため、図3Bに示すように、最外端スルーホール4bのコーナ部Bにコーナクラック11が発生したり、図3Cに示すように、最外端スルーホール4bの内壁面に被覆された導電性膜がはがれるスルーホール剥離12が発生したりしやすくなる。このようになると、電子部品の電氣的導通不良が起ることになる。

## 発明の開示

- [0016] 本発明は、上記問題点に鑑みてなされたものであって、その主な目的は、挿入型電子部品を無鉛はんだを用いて実装した場合であっても、スルーホールコーナクラックやスルーホール剥離が発生するのを抑制することができる、信頼性の高い回路基板を提供することにある。
- [0017] 上記の目的を達成する、本発明の一態様の回路基板は、単一の電子部品の複数のリードがそれぞれ挿入されはんだ付けされる複数のスルーホールを有している。そして、これらのスルーホールの内、電子部品の最外端のリードが挿入されるスルーホールの容積が、電子部品の中心に最も近い位置の前記リードが挿入されるスルーホールの容積より大きくなっている。
- [0018] 特に、本発明の一態様の回路基板においては、各スルーホールの平面形状が円形であり、電子部品の最外端のリードが挿入されるスルーホールの径が、電子部品の中心に最も近い位置のリードが挿入されるスルーホールの径よりも大きくなっている。
- [0019] また、本発明の他の態様の回路基板においては、電子部品の中心に最も近い位置のリードが挿入されるスルーホールの平面形状が円形であり、一方、電子部品の最外端のリードが挿入されるスルーホールの平面形状が楕円形である。この楕円形の長径の方向が、当該スルーホールの中心と、電子部品の、搭載された際の中心位置とを結ぶ線に平行な方向になっている。そして、この楕円形の長径の長さが、電子部品の中心に最も近い位置のリードが挿入されるスルーホールの径の長さより長くなっている。
- [0020] また、本発明のさらに他の態様の回路基板においては、電子部品の最外端のリードが挿入されるスルーホールの、搭載されているが、はんだ付けされる前の電子部品の最外端のリードの位置と、電子部品の、搭載された際の中心位置とを結ぶ直線の方法の寸法が、電子部品の中心に最も近い位置のリードが挿入されるスルーホールの、平面内のいずれの方向の寸法より大きくなっている。
- [0021] また、本発明のさらに他の態様の回路基板においては、電子部品の熱膨張係数が回路基板の熱膨張係数より大きい場合、電子部品の最外端のリードが挿入されるス



ルーホールを中心位置が、搭載されているが、はんだ付けされる前の電子部品の最外端のリードの位置より、電子部品の、搭載された際の中心位置から離れる方向にずれている。一方、電子部品の熱膨張係数が回路基板の熱膨張係数より小さい場合には、電子部品の最外端のリードが挿入されるスルーホールを中心位置が、搭載されているが、はんだ付けされる前の電子部品の最外端のリードの位置より、電子部品の、搭載された際の中心に近づく方向にずれている。

- [0022] 上記のような本発明の各態様の回路基板によれば、電子部品のリードを挿入して、はんだ付けを行うスルーホールのうち、電子部品の最外端リードが挿入される最外端スルーホールにおいて、はんだ付け工程時に電子部品の管体と回路基板との熱膨張量の差のために最外端のリードの位置がずれた際、リードと、スルーホールの、リードがずれた方向における内壁面との間に十分な量のはんだが存在するようにすることができる。したがって、はんだ付け工程後、冷却されるにつれてリードにかかる応力を、十分な量のはんだに吸収させることができる。それによって、最外端スルーホールのコーナ部や内壁面にかかる応力を低減し、最外端スルーホールのコーナクラックやスルーホール剥離の発生を抑制することができ、電子部品の実装における電氣的導通確保の信頼性を向上させることができる。本発明によれば、特に無鉛はんだを用いてはんだ付けを行う場合において、電氣的導通確保の信頼性を大きく向上させることができる。

#### 図面の簡単な説明

- [0023] [図1A]従来例の多層回路基板の平面図である。
- [図1B]図1AのA-A線に沿った断面図である。
- [図2]図1Aの多層回路基板に電子部品を実装した状態を示す断面図である。
- [図3A]図1Aの多層回路基板の問題点を説明するための断面図である。
- [図3B]図1Aの多層回路基板の問題点を説明するための他の断面図である。
- [図3C]図1Aの多層回路基板の問題点を説明するためのさらに他の断面図である。
- [図4A]本発明の第1の実施の形態の多層回路基板の平面図である。
- [図4B]図4AのA-A線に沿った断面図である。
- [図5]図4Aの多層回路基板に電子部品を実装した状態を示す断面図である。

[図6A]本発明の第2の実施の形態の多層回路基板の平面図である。

[図6B]図6AのA-A線に沿った断面図である。

[図7]本発明の第3の実施の形態の多層回路基板の平面図である。

[図8]本発明の第4の実施の形態の多層回路基板の平面図である。

[図9]本発明の第5の実施の形態の多層回路基板の平面図である。

[図10]本発明の第6の実施の形態の多層回路基板の平面図である。

[図11]本発明の第7の実施の形態の多層回路基板の平面図である。

発明を実施するための最良の形態

[0024] 〔第1の実施の形態〕

図4Aに、本発明の第1の実施の形態の多層回路基板11の、電子部品搭載面側から見た平面図、図4Bに、図4AのA-A線に沿った断面図を示す。多層回路基板11には、多くの表面実装型の電子部品や挿入型の電子部品が実装されるが、図1は、一挿入型電子部品の実装位置の部分のみを示すものである。すなわち、本実施の形態では、挿入型電子部品は一行に並んだ複数のリード18(図5参照)を有する構成である。なお、他の実施の形態を示す図についても、同様に、一挿入型電子部品の実装位置の部分のみを示している。

[0025] 図4A、4Bに示されるように、多層回路基板11は、内部に内層配線13を有する樹脂積層板12を基本的な構成部材として構成されている。多層回路基板11の、挿入型電子部品のリードの挿入位置にはスルーホール14が形成されている。スルーホール14の、基板表裏面の開口の縁にはランド16が形成されている。また、基板表裏面には外層配線15も形成されている。

[0026] 図4A、4Bには、電子部品が実装された際における、その管体17の、リード18(図5参照)の並び方向の中心線Oが鎖線によって示されている。本明細書においては、スルーホール14の内、中心線Oに最も近いものを中央部スルーホール14a、最も離れて配置されたものを最外端スルーホール14bと呼ぶ。本実施の形態においては、最外端スルーホール14bの直径Dbが中央部スルーホール14aを含む他のスルーホール14の直径Daより大きくなっている。

[0027] ここで、電子部品の管体の熱膨張係数を $\alpha$ (ppm/°C)、多層回路基板11の熱膨張

係数を  $\beta$  (ppm/°C) とすると、電子部品の筐体の材質がプラスチックである電子部品のケースでは、 $\alpha > \beta$  の関係が成り立つ。この場合、最外端スルーホール14bの径  $D_b$  は、電子部品の筐体17の中心と最外端スルーホール14bの中心との距離を  $L$ 、電子部品筐体の、はんだ付け工程前後での温度差を  $\Delta T$ 、すなわち、 $\Delta T = \{\text{電子部品筐体の、はんだ付け工程時における最高温度(約200°C)} - \text{常温(約25°C)}\}$  として、

$$D_b = \{(\alpha - \beta) \times L\} \times 2 \times \Delta T + D_a > D_a$$

とするのが好適である。すなわち、このようにすれば、電子部品の最外端のリード18の位置が、はんだ付け工程において加熱されることによってずれても、このリード18と、最外端スルーホール14bの、電子部品の筐体17の中心とは反対側の壁面との間に一定の距離を確保し、この壁面とリード18との間に十分なはんだ量を確保することができる。

- [0028] また、最外端スルーホール14bと、それに隣接するスルーホール14との間隔との関係、特に、図に示す例では各スルーホール14間の距離は一定となっているので、このピッチ  $P$  との関係から、 $D_b / 2 < P / 2$  とする必要がある。一般的には、隣接するスルーホール14間のピッチ  $P$  は、 $P > 2D_a$  の関係を満たすようにされる場合が多く、したがって、最外端スルーホール14bの径  $D_b$  は、

$$D_a < D_b < 2D_a$$

の範囲とするのが望ましい。

- [0029] また、最外端スルーホール14bのランドの径を  $D$  としたとき、 $D < 2D_a$  の場合には、 $D_a < D_b < D$

とする。ただし、最外端スルーホール14bの径を決定する際には、基板強度などを考慮する必要があることはいうまでもない。

- [0030] このように構成された多層回路基板1を用いて、フロー工程を実行して電子部品を実装する。フロー工程は例えば次のように行われる。1. 多層回路基板11の所定の位置に電子部品を搭載、2. 多層回路基板11の、噴流はんだと接触する側にフラックスを塗布、3. 予備加熱、4. 溶融無鉛はんだを噴流するはんだ槽へ多層回路基板11を浸漬、5. 冷却。

- [0031] また、フロー工程の主なプロセス条件は、部品搭載面側のランド16上にまで無鉛は

んだが達し、はんだフィレットを形成できるように、例えば次のように設定される。

予備加熱温度:100ー120℃

コンベア速度:0.8ー1.2m/min

はんだ噴流:ダブルウェーブ

はんだ槽温度:250±5℃

図5は、図4に示した第1の実施の形態の多層回路基板11に電子部品を実装した状態を示す断面図である。図5に示されるように、多層回路基板11に、筐体17とリード18とを有する電子部品が搭載され、スルーホール14内およびランド16上にはんだフィレット19が形成されている。上記したように、本実施の形態においては、スルーホール14のうち、電子部品の最外端のリード18が挿入される最外端スルーホール14bの直径Dbは、電子部品の筐体17の中心に最も近いリード18が挿入される中央部スルーホール14aの直径Daより大きい(すなわち、 $Db > Da$ )。そのため、最外端スルーホール14b内に充填されているはんだ量は、中央部スルーホール14a内に充填されているはんだ量よりも多くなっている。特に、最外端スルーホール14b内では、リード18の、電子部品の筐体17の中央線Oと反対側の領域、すなわち図5において斜線が付されているA部に十分なはんだ量を確保することができる。その結果、はんだ付け工程後、冷却に伴って電子部品のリード18が傾けられることによって発生する応力を、十分な量の無鉛はんだによって緩和する効果が得られる。それによって、最外端スルーホール14bの、電子部品の中心側とは反対側の壁面やコーナ部にかかる応力を小さく抑えることができ、コーナクラックやスルーホール剥離の発生を抑制することが可能となる。

[0032]      [第2の実施の形態]

図6Aに、本発明の第2の実施の形態の多層回路基板21の、部品搭載面側から見た平面図、図6Bに、図6AのA-A線に沿った断面図を示す。図6A、6Bにおいて、図4A、4Bに示した第1の実施の形態の部分と同等の部分には同一の参照符号を付し重複する説明は省略する。

[0033]      本実施の形態の、第1の実施の形態と相違する点は、最外端スルーホール24bの形状が楕円形になっている点である。この楕円の長径の方向は、電子部品実装時に

、中央部スルーホール14aの中心と最外端スルーホール24bとを結ぶ線に平行な方向、したがって、本実施の形態の例では、筐体長手方向(図の矢印Bで示す方向)となっている。そして、最外端スルーホール24bの長径Dcは、中央部スルーホール14aの直径Daより大きくなっており、すなわち $Dc > Da$ となっている。最外端スルーホール24bとなる貫通孔としては、ドリルまたは多層回路基板21となる基板を動かしながらドリリングすることによって、このような楕円形状の孔を形成することができる。最外端スルーホール24bの短径は、中央部スルーホール14aの直径と同じであってよい。

[0034] 本実施の形態の多層回路基板21に対して、第1の実施の形態におけるのと同様の、図5に示される電子部品を実装した場合にも、最外端スルーホール24b内に充填されるはんだ量が、中央部スルーホール14a内に充填されるはんだ量よりも多くなる。特に、最外端スルーホール24b内において、電子部品のリード18の、電子部品の筐体17の中心側と反対側の領域(図5のA部に相当する領域)に十分なはんだ量を確保することができ、第1の実施の形態の場合と同様の効果を得ることができる。

[0035] [第3の実施の形態]

図7に、本発明の第3の実施の形態の多層回路基板31の、部品搭載面側から見た平面図を示す。本実施の形態の、図4A, 4Bに示される第1の実施の形態と相違する点は、第1の実施の形態では、最外端スルーホール14bを除くすべてのスルーホール14の直径が同じであったが、最外端スルーホール34b以外のスルーホール14についても大きさを変化させている点である。すなわち、本実施の形態においては、中央部スルーホール14aの直径が最も小さく、そして最外端スルーホール34bに向かって、中央部スルーホール14aから離れたスルーホール14ほど、その直径が徐々に大きくなっている。したがって、本実施の形態によれば、最外端スルーホール34bと中央部スルーホール14aとの間のスルーホール14においても、その壁面やコーナ部にかかる応力を低減し、実装信頼性をさらに向上させることができる。

[0036] [第4の実施の形態]

図8は、本発明の第4の実施の形態の多層回路基板41の、部品搭載面側から見た平面図である。本実施の形態の、図4A, 4Bに示される第1の実施の形態と相違する点は、本実施の形態では、スルーホール44の平面形状が矩形になっている点である

。本実施の形態においては、最外端スルーホール44bを除くすべてのスルーホール44の大きさと形状は中央部スルーホール44aと同じであるが、最外端スルーホール44bの長辺と短辺とは、それぞれ中央部スルーホール44aの長辺と短辺より長くなっている。

[0037]      [第5の実施の形態]

図9は、本発明の第5の実施の形態の多層回路基板51の、部品搭載面側から見た平面図である。第1～第4の実施の形態には、1列に配列されたリード18を有する電子部品を実装する例を示したが、本実施の形態の多層回路基板51に実装される電子部品のリードは、筐体の中心と、中心から等距離の、半径方向に並んだ複数の位置とに配置されている。本実施の形態においては、電子部品が実装された際にその筐体の中心点Oに最も近い、この例では中心点に一致する個所に形成されている中央部スルーホール14aは直径がDaの円形に形成されている。一方、最外端スルーホール54b、すなわち、この例では中心点Oから等距離離れた複数の位置にある、中央部スルーホール14a以外のスルーホールは楕円形状になっている。この楕円の長径の方向は、各スルーホールの中心点と、電子部品の筐体の中心点Oとを結ぶ直線の方向となっている。そして、最外端スルーホール54bの長径Dcは中央部スルーホール14aの直径Daより大きくなっている。

[0038]      [第6の実施の形態]

図10は、本発明の第6の実施の形態の多層回路基板61の、部品搭載面側から見た平面図である。第1～第4の実施の形態には、1列に配列されたリード18を有する電子部品を実装する例を示したが、本実施の形態では、2列に配列されたリードを有する電子部品を実装する例を示す。本実施の形態においては、電子部品が実装された際に、その筐体部の中心点が位置する個所Oに最も近い位置に形成される中央部スルーホール14aは円形に形成されているが、最外端のリードが挿入される最外端スルーホール64bは、矩形の、対向する2辺が半円形にされた形状になっている。最外端スルーホール64bとなる、このような形状の貫通孔は、ドリルまたは多層回路基板61となる基板を動かしながらドリリングすることによって形成することができる。最外端スルーホール64bの長手方向、すなわち平行な2辺の延びる方向は、電子部

品が実装された際に、その筐体の中心点が位置する個所Oと、搭載されているが、はんだ付けされる前すなわち加熱される前の電子部品の最外端のリードが位置する個所Pとを結ぶ直線Lと平行になっている。

[0039]      [第7の実施の形態]

図11は、本発明の第7の実施の形態の多層回路基板71の、部品搭載面側から見た平面図である。本実施の形態の、図10に示した第6の実施の形態と相違する点は、最外端スルーホール74bが円形の平面形状を有し、その中心位置が、搭載されているが、はんだ付けされる前すなわち加熱される前の電子部品の最外端のリードが位置する個所Pから、電子部品の筐体の中心Oから離れる方向にずれている点である。本実施の形態においては、最外端スルーホール74bの中心位置は、点Pと点Oとを結ぶ直線Lの延長上にある。また、最外端スルーホール74bは中央部スルーホール14aより大きくなっている。

[0040]      このように、最外端スルーホール74bの中心位置が外方にずれているため、電子部品を実装した際に、最外端スルーホール74b内において、リードより筐体の中心Oから離れる側の部位(図5のA部に相当する領域)に十分なはんだ量を確保することができる。本実施の形態によれば、最外端スルーホールの中心位置をずらさない場合と比較して、最外端スルーホール74bの径を小さくしても(最外端スルーホール74bの直径の、中央部スルーホール14aの直径に対する倍率を小さくしても)、最外端スルーホールの中心位置をずらさず、直径をより大きくした場合と同等の効果を得ることができる。すなわち、本実施の形態によれば、最外端スルーホール74bとなる貫通孔を比較的小さなものとすることができる。また、場合によっては、最外端スルーホール74bの直径を中央部スルーホール14aの直径と同じにしてもよい。したがって、本発明によれば、最外端スルーホールの平面形状を大きくすることによって、機械的強度の低下やランド面積の制限などが生じるのを抑制することができる。

[0041]      なお、最外端スルーホールの中心位置を電子部品の筐体の中心から離すようにずらすのは、電子部品の筐体の熱膨張係数が回路基板の熱膨張係数より大きい場合である。逆に、電子部品の筐体の熱膨張係数が回路基板の熱膨張係数より小さい場合には、最外端スルーホールの中心位置を電子部品の筐体の中心方向へ近付ける

ようにずらせばよい。

- [0042] 以上好ましい実施の形態について説明したが、本発明はこれら実施の形態に限定されるものではなく、本発明の要旨を逸脱することのない範囲内において適宜の変更が可能なものである。例えば、各実施の形態では、多層回路基板を例に挙げて説明したが、本発明は、内層配線を有さない両面回路基板にも適用が可能なものである。また、スルーホールの形状は各実施の形態で挙げられたもの以外の形状であってもよく、例えば、2回のドリリングによって形成された瓢箪型の形状であってもよい。

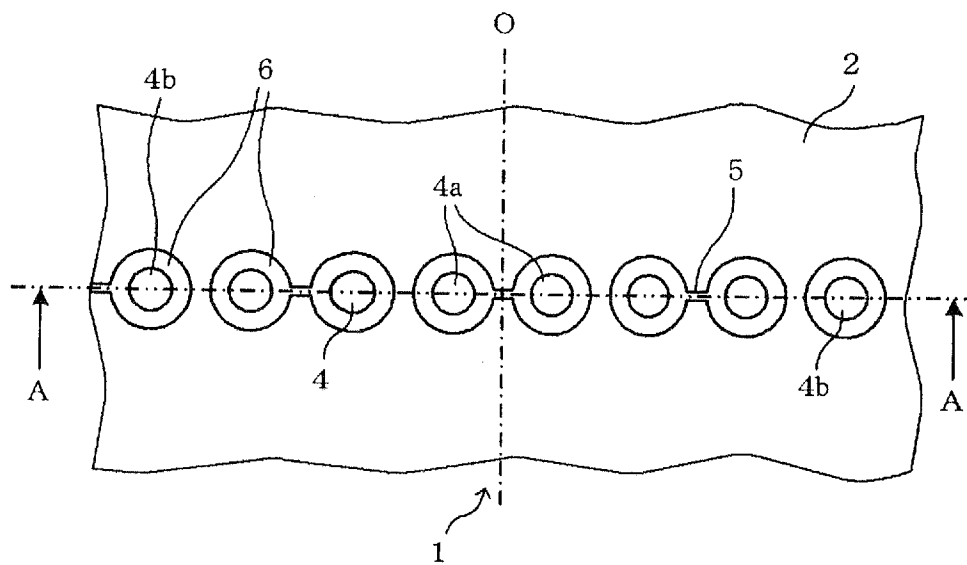


## 請求の範囲

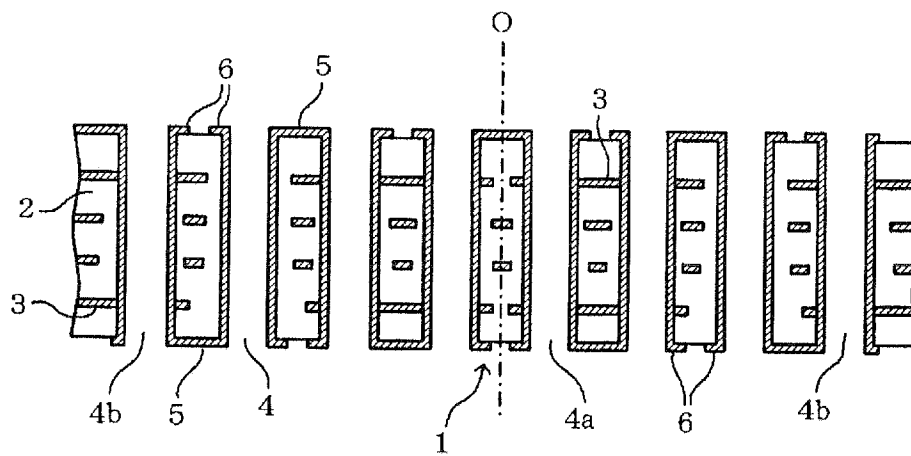
- [1] 電子部品の複数のリードがそれぞれ挿入されはんだ付けされる複数のスルーホールを有し、  
前記電子部品の最外端の前記リードが挿入される前記スルーホールの容積が、前記電子部品の中心に最も近い位置の前記リードが挿入される前記スルーホールの容積より大きい回路基板。
- [2] 前記各スルーホールの平面形状が円形であり、前記電子部品の最外端の前記リードが挿入される前記スルーホールの径が、前記電子部品の中心に最も近い位置の前記リードが挿入される前記スルーホールの径よりも大きい、請求項1に記載の回路基板。
- [3] 前記電子部品の最外端の前記リードが挿入される前記スルーホールの径が、前記電子部品の中心に最も近い位置の前記リードが挿入される前記スルーホールの径の2倍以下である、請求項2に記載の回路基板。
- [4] 電子部品の複数のリードがそれぞれ挿入されはんだ付けされる複数のスルーホールを有し、  
前記電子部品の中心に最も近い位置の前記リードが挿入される前記スルーホールの平面形状が円形であり、前記電子部品の最外端の前記リードが挿入される前記スルーホールの平面形状が、当該スルーホールの中心と、前記電子部品の、搭載された際の中心位置とを結ぶ線に平行な方向が長径の方向となっている楕円形であり、該楕円形の長径の長さが、前記電子部品の中心に最も近い位置の前記リードが挿入される前記スルーホールの径の長さより長い回路基板。
- [5] 電子部品の複数のリードがそれぞれ挿入されはんだ付けされる複数のスルーホールを有し、  
前記電子部品の最外端の前記リードが挿入される前記スルーホールの、搭載されているが、はんだ付けされる前の前記電子部品の前記最外端のリードの位置と、前記電子部品の、搭載された際の中心位置とを結ぶ直線の方法が、前記電子部品の中心に最も近い位置の前記リードが挿入される前記スルーホールの、平面内のいずれの方法の寸法より大きい回路基板。

- [6] 前記電子部品の前記最外端のリードが挿入される前記スルーホールの開口は、複数回のドリリングによって、または、ドリルを基板に対して相対的に移動させることによって形成されたものである、請求項5に記載の回路基板。
- [7] 前記電子部品の中心に最も近い位置の前記リードが挿入されるスルーホールと前記電子部品の最外端の前記リードが挿入される前記スルーホールとの間の前記スルーホールの形状が、前記電子部品の中心に最も近い位置の前記リードが挿入される前記スルーホールの形状から、前記電子部品の最外端の前記リードが挿入される前記スルーホールの形状へと徐々に変化した形状になっている、請求項1から6のいずれか1項に記載の回路基板。
- [8] 前記電子部品の最外端の前記リードが挿入される前記スルーホールの中心位置が、前記電子部品の熱膨張係数が前記回路基板の熱膨張係数より大きい場合には、搭載されているが、はんだ付けされる前の前記電子部品の前記最外端のリードの位置より、前記電子部品の、搭載された際の中心位置から離れる方向にずれており、前記電子部品の熱膨張係数が前記回路基板の熱膨張係数より小さい場合には、搭載されているが、はんだ付けされる前の前記電子部品の前記最外端のリードの位置より、前記電子部品の、搭載された際の中心に近づく方向にずれている、請求項1から7のいずれかに記載の回路基板。
- [9] 電子部品の複数のリードがそれぞれ挿入されはんだ付けされる複数のスルーホールを有し、  
前記電子部品の最外端の前記リードが挿入される前記スルーホールの中心位置が、前記電子部品の熱膨張係数が回路基板の熱膨張係数より大きい場合には、搭載されているが、はんだ付けされる前の前記電子部品の前記最外端のリードの位置より、前記電子部品の、搭載された際の中心位置から離れる方向にずれており、前記電子部品の熱膨張係数が回路基板の熱膨張係数より小さい場合には、搭載されているが、はんだ付けされる前の前記電子部品の前記最外端のリードの位置より、前記電子部品の、搭載された際の中心に近づく方向にずれている回路基板。

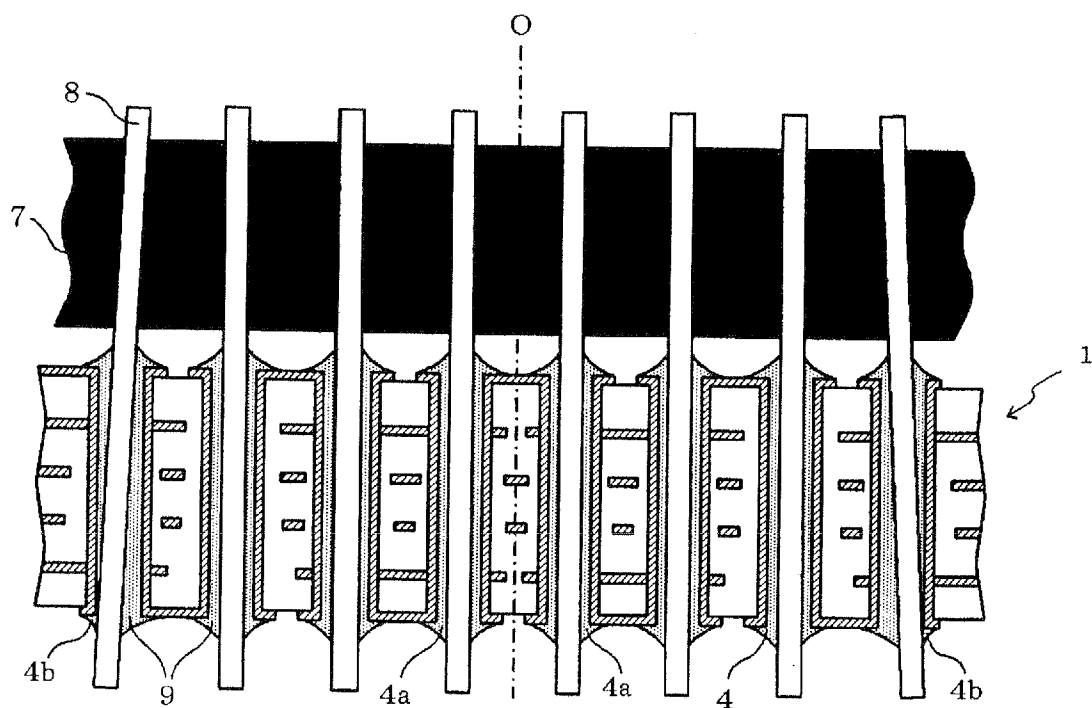
[[図1A]]



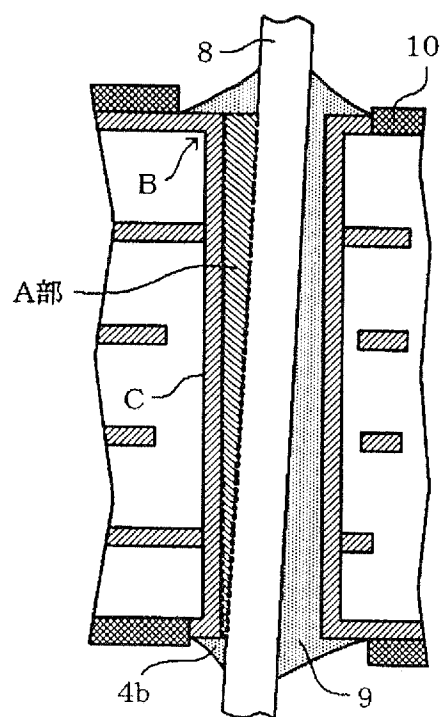
[[図1B]]



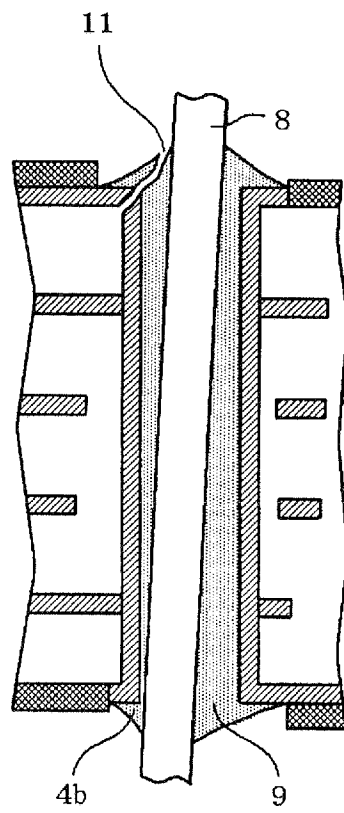
[図2]



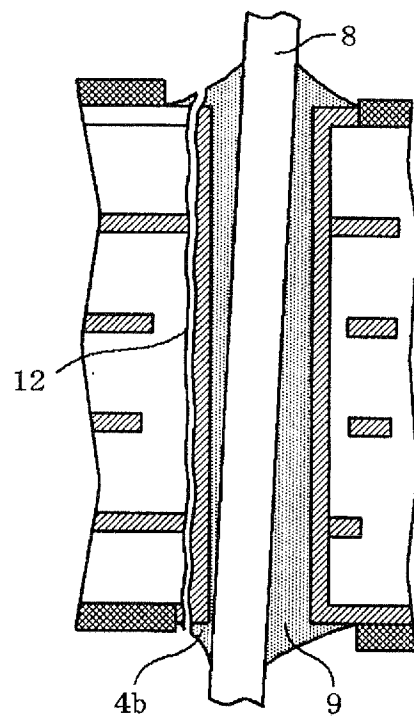
[図3A]



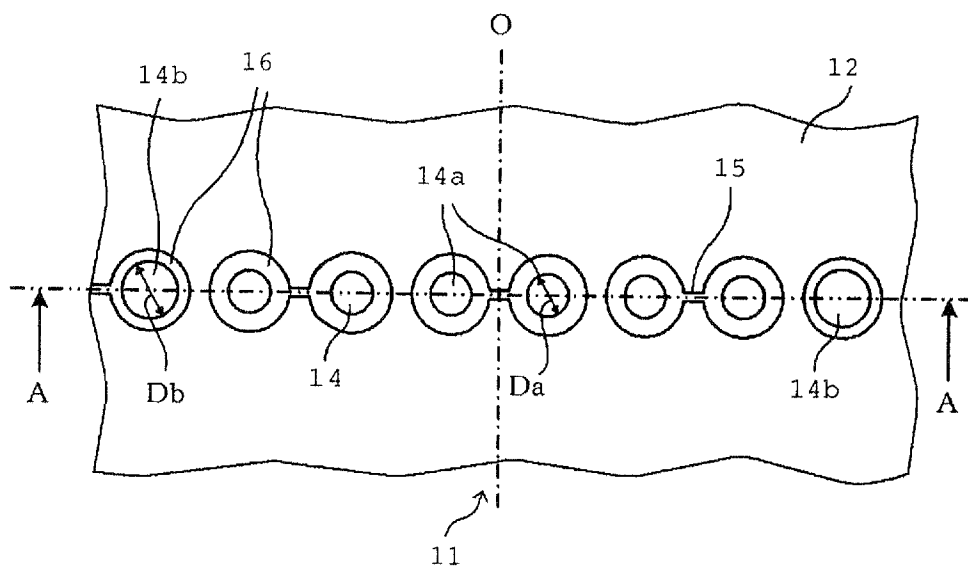
[図3B]



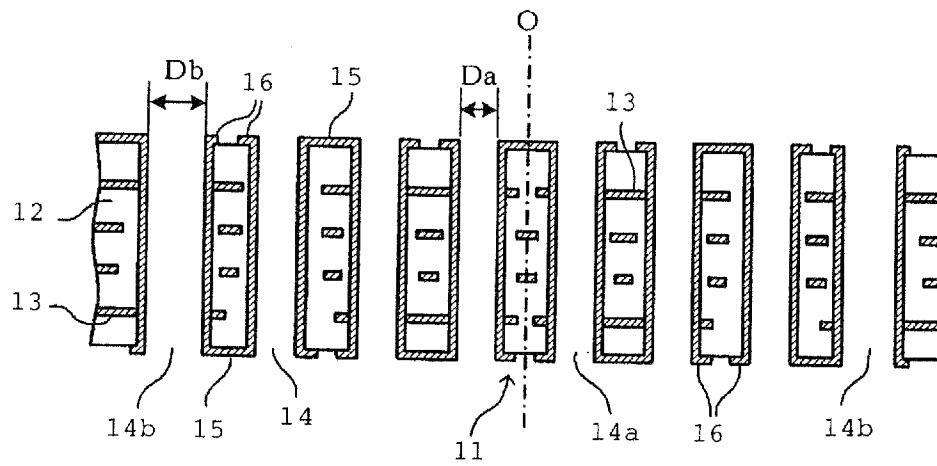
[図3C]



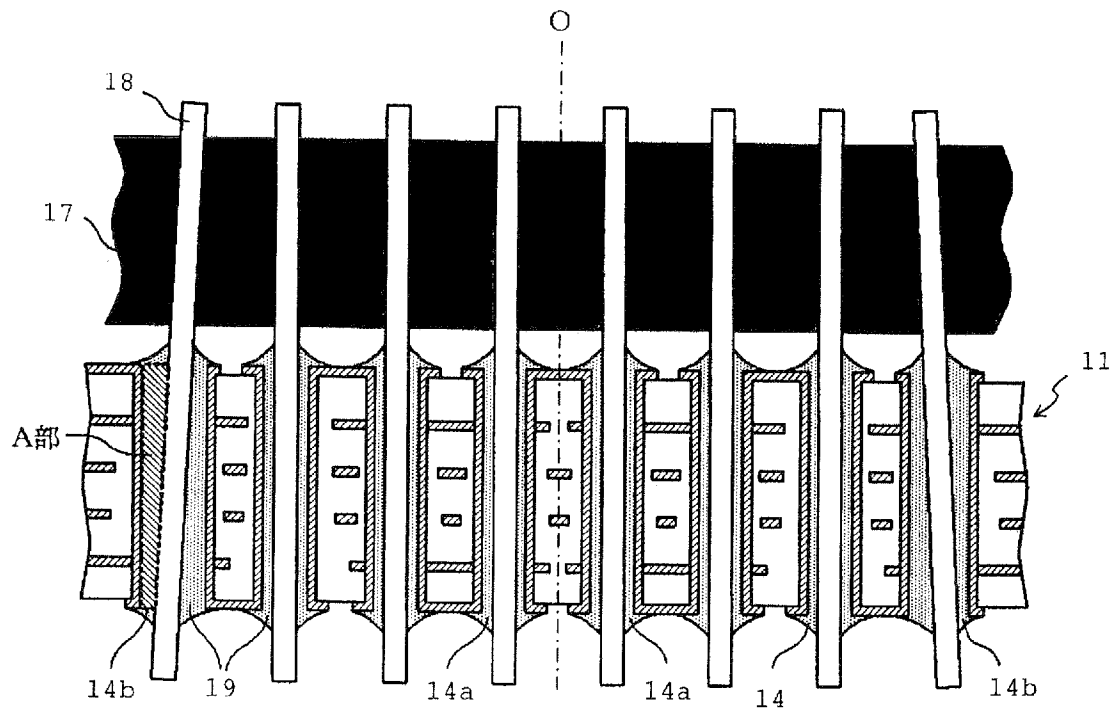
[図4A]



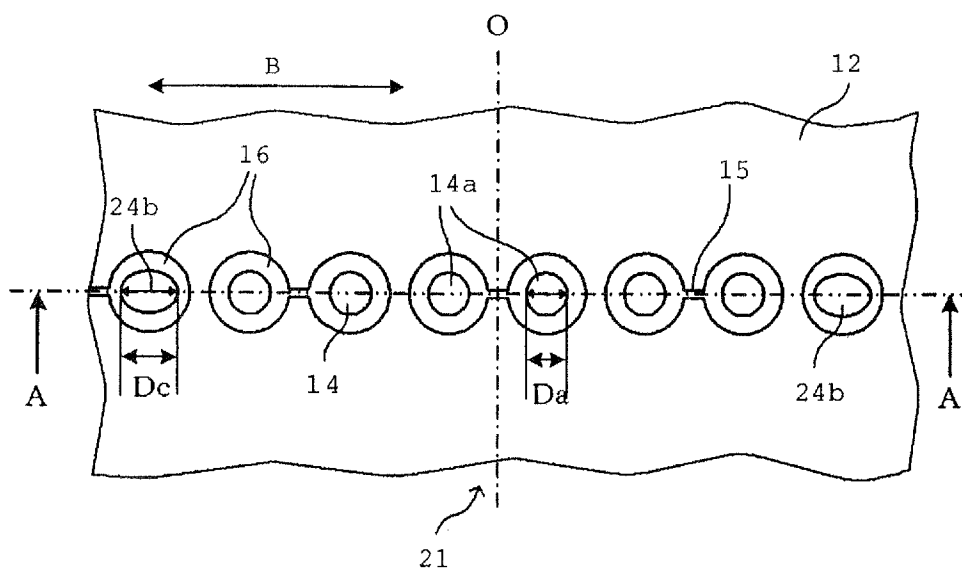
[図4B]



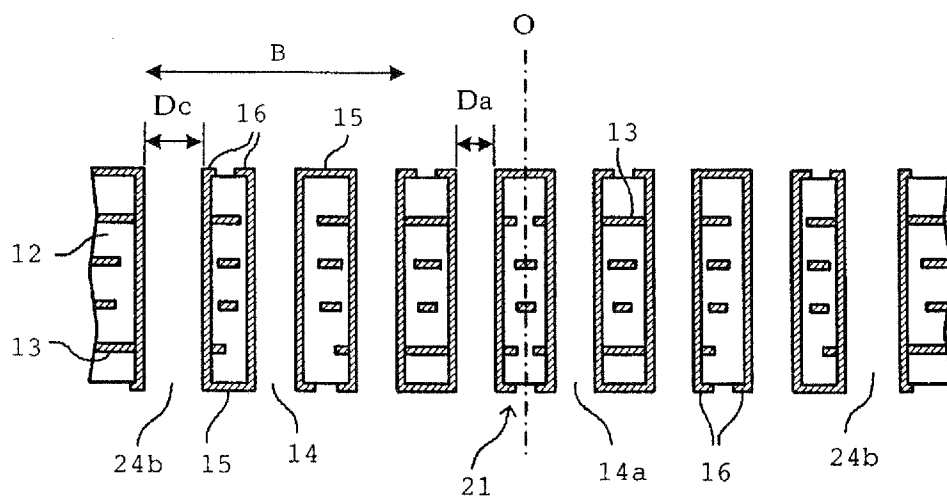
[図5]



[図6A]

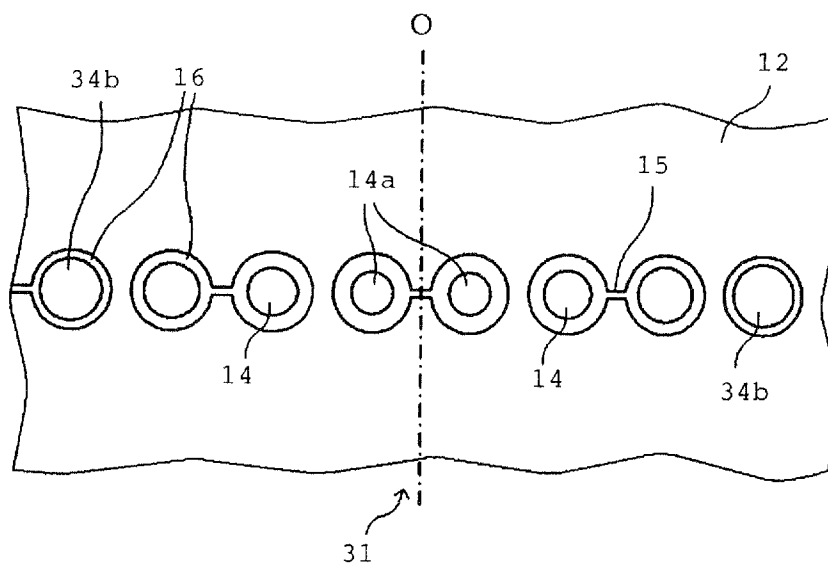


[図6B]

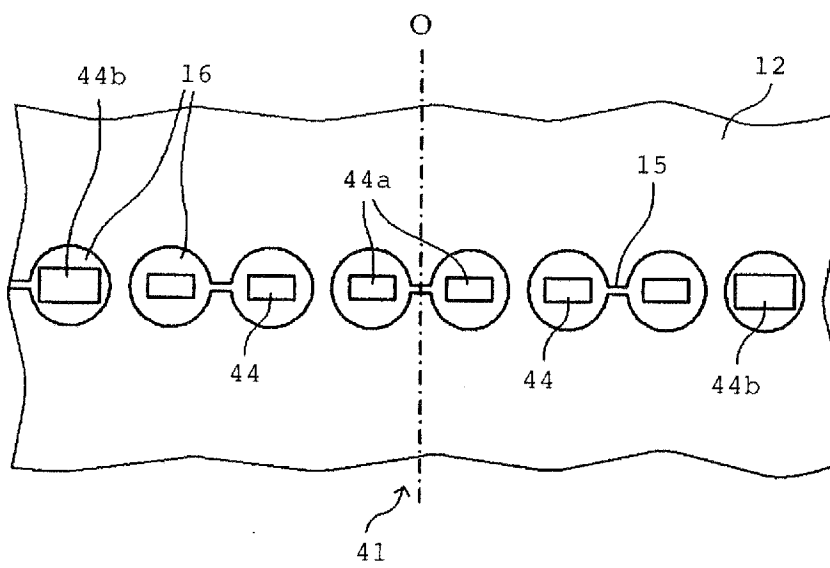




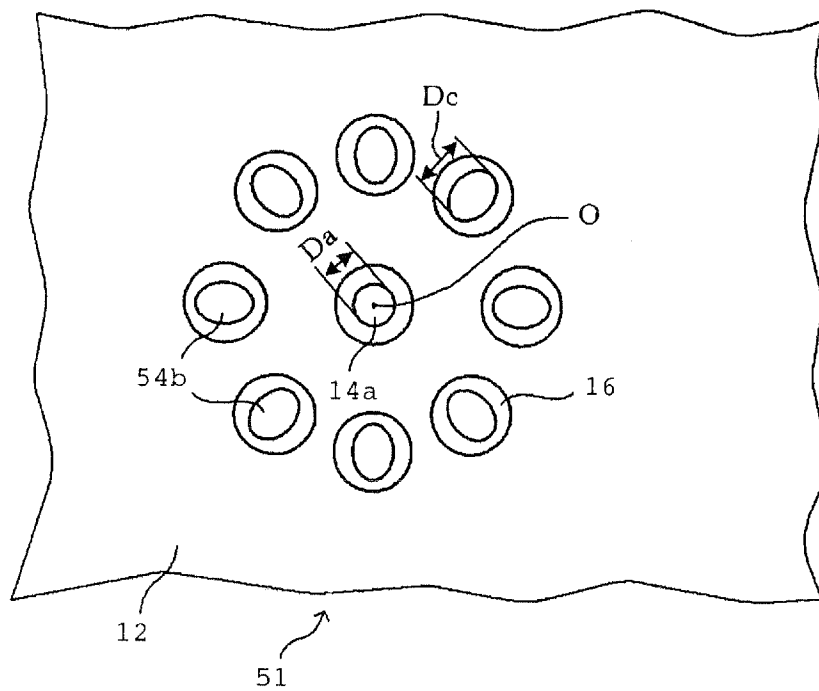
[図7]



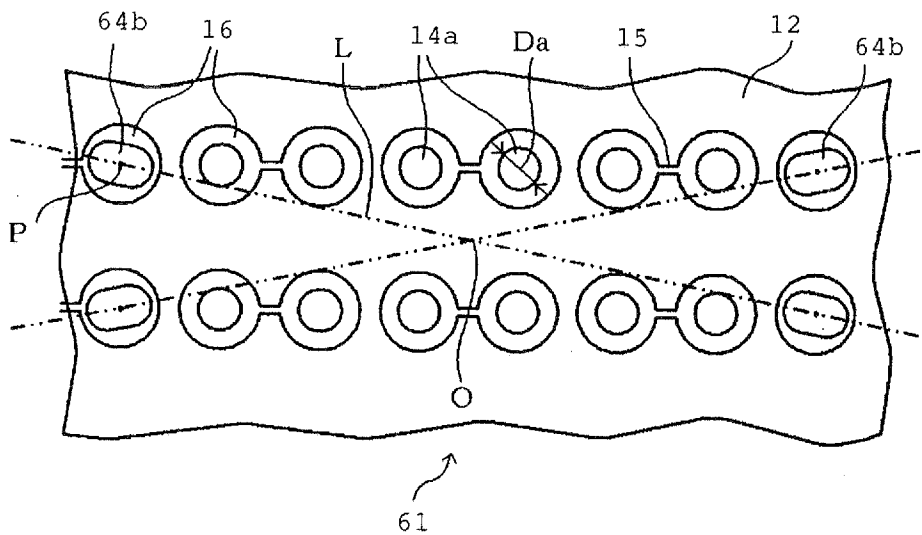
[図8]



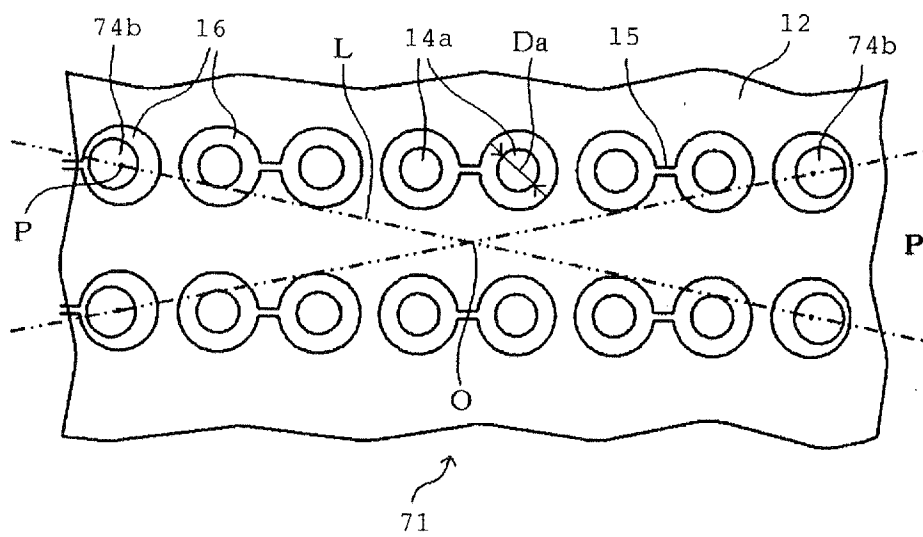
[図9]



[図10]



[図11]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000049

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H05K3/34, H05K3/00, H05K1/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H05K3/34, H05K3/00, H05K1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-219762 A (Sony Corp.), 10 August, 1999 (10.08.99), Par. Nos. [0021], [0022]; Fig. 4 (Family: none)	1-3 8
X Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 84086/1982 (Laid-open No. 187174/1983) (Canon Inc.), 12 December, 1983 (12.12.83), Descriptions; page 3, lines 5 to 18; Figs. 1, 2 (Family: none)	1-3, 5, 6 8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
27 January, 2005 (27.01.05)Date of mailing of the international search report  
15 February, 2005 (15.02.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000049

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 192046/1986 (Laid-open No. 97264/1988) (Sanyo Electric Co., Ltd.), 23 June, 1988 (23.06.88), Descriptions; page 4, lines 8 to 15; Figs. 3, 4 (Family: none)	1, 7 8
X Y	JP 4-369893 A (Matsushita Electronics Corp.), 22 December, 1992 (22.12.92), Par. Nos. [0016] to [0018]; Figs. 1, 3 (Family: none)	1-3, 5, 6 8
X Y	JP 10-145022 A (Seiko Epson Corp.), 29 May, 1998 (29.05.98), Par. No. [0018]; Fig. 4 (Family: none)	1, 5, 6 4, 8
X Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 91874/1979 (Laid-open No. 12375/1981) (Mitsumi Electric Co., Ltd.), 02 February, 1981 (02.02.81), Descriptions; page 3, lines 2 to 14; Fig. 3 (Family: none)	1-3, 7 4, 8
X Y	JP 8-83966 A (Toshiba Corp.), 26 March, 1996 (26.03.96), Par. Nos. [0005], [0019] to [0021]; Figs. 1, 2 (Family: none)	9 8

A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl. <sup>7</sup> H05K3/34, H05K3/00, H05K1/18			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl. <sup>7</sup> H05K3/34, H05K3/00, H05K1/18			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X Y	JP 11-219762 A (ソニー株式会社) 1999. 08. 10, 段落【0021】, 【0022】, 【図4】 (ファミリーなし)	1-3 8	
X Y	日本国実用新案登録出願昭57-84086号 (日本国実用新案登録出願公開昭58-187174号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (キヤノン株式会社) 1983. 12. 12, 明細書第3ページ第5行~第18行, 第1図, 第2図 (ファミリーなし)	1-3, 5, 6 8	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 27. 01. 2005		国際調査報告の発送日 15. 2. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 鏡 宣宏	3S 3514
		電話番号 03-3581-1101	内線 3389

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	日本国実用新案登録出願昭61-192046号（日本国実用新案登録出願公開昭63-97264号）の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（三洋電機株式会社） 1988.06.23, 明細書第4ページ第8行～第15行, 第3図, 第4図（ファミリーなし）	1, 7 8
X Y	JP 4-369893 A（松下電子工業株式会社） 1992.12.22, 段落【0016】～【0018】, 【図1】, 【図3】（ファミリーなし）	1-3, 5, 6 8
X Y	JP 10-145022 A（セイコーエプソン株式会社） 1998.05.29, 段落【0018】, 図4（ファミリーなし）	1, 5, 6 4, 8
X Y	日本国実用新案登録出願昭54-91874号（日本国実用新案登録出願公開昭56-12375号）の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（ミツミ電機株式会社） 1981.02.02, 明細書第3ページ第2行～第14行, 第3図（ファミリーなし）	1-3, 7 4, 8
X Y	JP 8-83966 A（株式会社東芝） 1996.03.26, 段落【0005】, 【0019】～【0021】, 【図1】, 【図2】（ファミリーなし）	9 8